

Integrated capacitor with hybrid dielectric

Patent Number:  [EP1102328](#)
Publication date: 2001-05-23
Inventor(s): ARNAL VINCENT (FR); DELPECH PHILIPPE (FR)
Applicant(s): FRANCE TELECOM (FR)
Requested Patent:  [JP2001189421](#)
Application Number: EP20000123636 20001030
Priority Number(s): FR19990014480 19991118
IPC Classification: H01L29/92
EC Classification: [H01L29/92B](#)
Equivalents:  [FR2801425](#)
Cited Documents: [US4907046](#); [WO9800871](#); [EP0892442](#)

Abstract

Capacitor (20) with integral metal electrodes on a silicon substrate (10) comprises metallic layers (1,3) of first and second electrodes and a dielectric (2) characterized in that the dielectric comprises at least two layers (2-1, 2-2) of dielectrics having permittivity such as to function as opposing electric fields, the thickness d1 and d2 of the dielectrics being chosen so that the capacitor has a linearity tension of at most $20 \times 10^{-6}\text{N}$. An Independent claim is included for the combination of at least two capacitors with integrated metallic electrodes on a silicon substrate characterized in that the capacitors comprise different dielectrics having permittivity such as to function as opposing electric fields, the thickness d1 and d2 of the dielectrics being chosen so that the capacitor has a linearity tension of at most $20 \times 10^{-6}\text{N}$.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-189421
(P2001-189421A)

(43) 公開日 平成13年7月10日 (2001.7.10)

(51) Int.Cl.⁷
H 0 1 L 27/04
21/822

識別記号

F I
H 0 1 L 27/04

データベース (参考)
C

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21) 出願番号 特願2000-353537 (P2000-353537)
(22) 出願日 平成12年11月20日 (2000.11.20)
(31) 優先権主張番号 9 9 1 4 4 8 0
(32) 優先日 平成11年11月18日 (1999.11.18)
(33) 優先権主張国 フランス (F R)

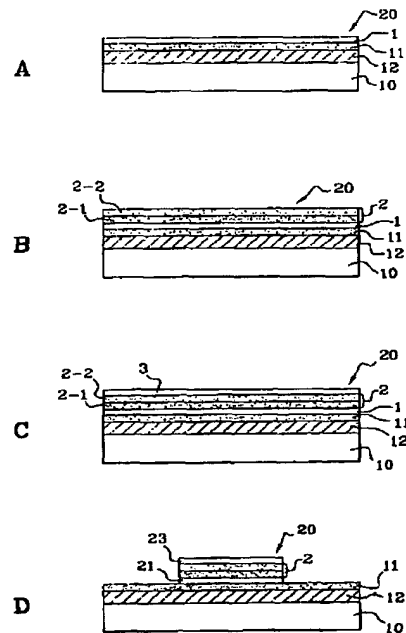
(71) 出願人 591034154
フランス テレコム
FRANCE TELECOM
フランス国、75015 パリ、プラス・ダ
レ、6
(72) 発明者 デルベッシュ フィリップ
フランス国、メイラン 38240、アレ
ド
ウ グラン デュック 6
(72) 発明者 アルナル ヴァンサン
フランス国、サン シルギュ 46210、ル
ブリュエル
(74) 代理人 100081813
弁理士 早瀬 憲一

(54) 【発明の名称】 ハイブリッド誘電体を備えた集積キャパシタ

(57) 【要約】 (修正有)

【課題】 金属電極を備えたキャパシタは、集積回路の製造過程で高温アニーリング工程を受け、その電圧直線性は乏しいものになる。

【解決手段】 第一電極1及び第二電極3の金属層、及び誘電体2を有し、該誘電体は、電界に応じて反対の方向に変化する誘電率(ϵ)を持つ少なくとも2つの誘電体層2-2、2-1を有し、各誘電体層の厚さの比が、キャパシタが $20 \times 10^{-6} / V$ を越えない十分な電圧直線性を示すように選択する。



【特許請求の範囲】

【請求項1】 シリコン基板上で集積されたキャパシタ（20）であり、

第一電極及び第二電極の金属層（1, 3）、及び誘電体（2）を有し、

該誘電体は、電界に応じて反対の方向に変化する誘電率（ ϵ ）を持つ、少なくとも2つの誘電体層（2-2, 2-1）を有し、各誘電体層の厚さ（ d_1 , d_2 ）の比が、キャパシタが $20 \times 10^{-6} / V$ を越えない十分な電圧直線性を示すように選択される、ことを特徴とするキャパシタ。

【請求項2】 請求項1に記載のキャパシタにおいて、誘電体は、酸化シリコン層（ SiO_2 ）及び窒化シリコン層（ SiN ）を有する、ことを特徴とするキャパシタ。

【請求項3】 請求項1及び2のいずれかに記載のキャパシタにおいて、誘電体層は、中間伝導層によって分離されている、ことを特徴とするキャパシタ。

【請求項4】 請求項1ないし3のいずれかに記載のキャパシタにおいて、第一電極及び第二電極の層（1, 3）を形成する材料が、アルミニウム、銅、タングステン、チタン、窒化チタン及びそれらの合金を含むグループの中で選ばれる、ことを特徴とするキャパシタ。

【請求項5】 シリコン基板上で集積された少なくとも2つのキャパシタの組み合わせであり、各キャパシタは、第一電極及び第二電極の金属層、及び誘電体層を有し、該キャパシタは、電界に応じて反対の方向に変化をする誘電率（ ϵ ）を持つ誘電体層を有し、各誘電体層の厚さ（ d_1 , d_2 ）の比が、2つのキャパシタの組み合わせによって形成されたキャパシタが、 $20 \times 10^{-6} / V$ を越えない十分な電圧直線性を示すように選択される、ことを特徴とするキャパシタの組み合わせ。

【請求項6】 請求項5に記載のキャパシタの組み合わせにおいて、直列に配列された少なくとも2つのキャパシタを有する、ことを特徴とするキャパシタの組み合わせ。

【請求項7】 請求項5に記載のキャパシタの組み合わせにおいて、並列に配列された少なくとも2つのキャパシタを有する、ことを特徴とするキャパシタの組み合わせ。

【請求項8】 請求項5ないし7のいずれかに記載のキャパシタの組み合わせにおいて、一方のキャパシタの誘電体が酸化シリコン（ SiO_2 ）であり、もう一方のキャパシタの誘電体が窒化シリコン（ SiN ）である、ことを特徴とするキャパシタの組み合わせ。

【請求項9】 シリコン基板（10）上で集積されたキ

ャパシタ（20）の製造方法であり、

第一の金属電極層（1）を堆積させる工程と、誘電体（2）を堆積させる工程と、第二の金属電極層（3）を堆積させる工程とを有し、

該誘電体（2）を堆積させる工程は、少なくとも第一の誘電体層（2-1）を堆積させる工程と、第二の誘電体層（2-2）を堆積させる工程とを含み、該第一の誘電体及び第二の誘電体は、電界に応じて反対方向に変化をする誘電率（ ϵ ）を有し、各誘電体層の厚さ（ d_1 , d_2 ）の比（ d_1 / d_2 ）が、キャパシタが $20 \times 10^{-6} / V$ を越えない十分な電圧直線性を示すように選択される、ことを特徴とする製造方法。

【請求項10】 請求項9に記載の製造方法において、各誘電体層（2-1, 2-2）の厚さの比（ d_1 / d_2 ）が、さまざまな厚さの比（ d_1 / d_2 ）を有する試験キャパシタの電圧直線性を観察しながら、予備実験によって決められる、ことを特徴とする製造方法。

【請求項11】 請求項9ないし10のいずれかに記載の製造方法において、誘電体は、酸化シリコン（ SiO_2 ）及び窒化シリコン（ SiN ）である、ことを特徴とする製造方法。

【請求項12】 請求項9ないし11のいずれかに記載の製造方法において、誘電体層は気相の下で堆積される、ことを特徴とする製造方法。

【請求項13】 請求項9ないし12のいずれかに記載の製造方法において、第一電極及び第二電極層は、アルミニウム、銅、タングステン、チタン、窒化チタン及びそれらの合金を含むグループの中で選ばれた材料から作られている、ことを特徴とする製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、集積回路に関するものであり、さらに具体的には、シリコン基板上の集積キャパシタに関するものである。

【0002】

【従来の技術】 今日では、従来のディスクリットキャパシタに有利にとって代わる、一つあるいはそれ以上の高い値の集積キャパシタを備えた集積回路を設計する事は通常の試みとなっている。このようなキャパシタは、アナログやRF回路の分野において、例えば、共振アンテナ回路などの設計において、供給電圧をフィルタするさまざまな応用を持っている。

【0003】 公知の集積キャパシタの中で、金属電極を備えたキャパシタは、ポリシリコン電極を備えたキャパシタに比べると、多くの利点を持つ。一方で、ポリシリ

コン電極は、電極として機能するためには、タングステンあるいはチタンのような金属が存在する状態での、シリサイド工程を必要とするのに対し、金属電極はすぐれた電気伝導性を持つ。

【0004】他方、金属電極を備えたキャパシタは、下側の電極が一般に集積回路の最後の金属層の一つ、例えば、伝導性トラックを作るために使用された金属層から作られており、製造が大変容易である。このように、従来の集積回路を製造する方法に比較し、金属電極を備えたキャパシタの設計は、第一の電極層として使われた、既に存在している金属層に誘電体層を堆積させる工程と、第二の電極金属層を堆積させる工程とを必要とするのみである。誘電体はおよそ400℃の通常の温度で堆積するため、第一電極の金属層は損傷されない。最後に、金属電極を備えたキャパシタは、上記のように、集積回路の最後の層の一つの上に作られるため、シリコン基板に対して小さな寄生容量を持つ。

【0005】しかしながら、実際には、金属電極を備えたキャパシタは乏しい電圧直線性を示しており、その電圧直線性は比 $\Delta C/C$ によって定義されている。 C は電圧がゼロに等しい時の容量の値であり、 ΔC は印加電圧による容量 C の変動値である。金属電極を備えたキャパシタの比 $\Delta C/C$ は一般的におよそ $200 \times 10^{-6}/V$ であり、すなわち直線性の欠陥は、アナログ集積回路の設計者によって通常は認められる値の少なくとも10倍以上である。この理由のために、金属電極を備えたキャパシタは、上記の思い起こされた利点にもかかわらず、現在は、アナログ及びRF回路の分野においてのみ、わずかの応用を持つものである。

【0006】

【発明が解決しようとする課題】さまざまな研究の後、本発明の発明者たちは、ポリシリコン電極を有するキャパシタにおいてのみ少し見られる、上記の非直線性現象は、誘電体が、通常の温度で堆積され、多くの不純物原子(H, N, C, ...)の混入を生じ、かつ一般的にはペンディング結合である、多くの界面状態の生成を生じる、という事実に関連しているという仮定を述べてきた。更に、金属電極を備えたキャパシタは、ポリシリコン電極を有するキャパシタと違って、従来のには数十分間の間、およそ850℃の温度で行われていた、高温アニーリング工程を受けない。従来の集積回路の製造過程では、ドーパントの活性化のための従来のアニーリング工程が、金属層を堆積させる前に、金属層の質を劣化させないように、行われているということがまさに思い起こされる。このように、金属電極を備えたキャパシタの乏しい電圧直線性は、誘電体における不純物の存在に、及び/または、高温アニーリングが部分的に消滅させる、誘電体の不完全な形成に関連しているようである。

【0007】このことは、下記の関係式(1)ないし(3)によって確認される。それらはそれぞれ、電気容

量 C の値を誘電体の絶対誘電率 ϵ の関数として与え、また、誘電体の誘電率 ϵ の値をキャパシタに印加された電圧 V または電界 E の関数として与える。

$$(1) C = \epsilon S / d$$

及び、

$$(2) \epsilon = \epsilon_0 + A + BE^2$$

すなわち、

$$(3) \epsilon = \epsilon_0 + A + BV^2 / d^2$$

である。 S はキャパシタの電極の面積であり、 d は電極間の距離あるいは誘電体の厚さであり、 ϵ_0 は真空の誘電率であり、 A は定数、そして B は印加電圧の2乗をかけた二次項である。

【0008】このように、電圧による容量の変動は、その誘電体の誘電率 ϵ の変動によるもので、より具体的には、二次項 B の存在によるものである、ことが明らかである。二次項 B は、一般的に、定数 A に比べると非常に小さい。しかしながら、集積キャパシタの誘電体の厚さ d は非常に小さく、およそ数10ナノメートルであり、2〜3ボルトの電圧を支える。このような条件において、 V/d に等しい、電界 E は、非常に高く、二次項の影響はもはや無視し得ない。例えば、3Vの電圧を受ける厚さ30nmの誘電体を有するキャパシタは、 $10^8 V/m$ の非常に高い電界を支える。

【0009】このように、本発明の全般的な目的は、必ずしも高温アニーリング工程を与えなくても $20 \times 10^{-6}/V$ を越えない十分な電圧直線性を示す集積キャパシタ、及び、前記キャパシタの製造方法を提供することである。本発明のもう一つの目的は、できる限り小さい二次項を持つ低温誘電体と、このような誘電体を製造する方法を提供することである。

【0010】

【課題を解決するための手段】これらの目的は、第一電極及び第二電極の金属層、及び誘電体を有する、シリコン基板上で集積されたキャパシタにおいて、誘電体は電界に応じて反対の方向に変化をする誘電率を持つ、少なくとも2つの誘電体層を有し、各誘電体層の厚さの比が、キャパシタが $20 \times 10^{-6}/V$ を越えない十分な電圧直線性を示すように選択されることを特徴とするキャパシタを提供することによって達成される。

【0011】ある実施の形態によれば、誘電体は、酸化シリコン層と窒化シリコン層を有している。ある実施の形態によれば、誘電体層は中間伝導層によって分離されている。ある実施の形態によれば、第一電極及び第二電極の層を形成している材料が、アルミニウム、銅、タングステン、チタン、窒化チタン及びそれらの合金を含むグループの中で選ばれる。

【0012】本発明はまた、各キャパシタが第一電極及び第二電極の金属層、及び誘電体層を有する、シリコン基板上に集積された少なくとも2つのキャパシタの組み合わせに関するものであり、前記キャパシタは、電界に

応じて反対の方向に変化をする誘電率を持った誘電体層を有し、各誘電体層の厚さの比が、2つのキャパシタの組み合わせによって形成されたキャパシタが $20 \times 10^{-6} \text{V}$ を超えない十分な電圧直線性を示すように選択されることを特徴とする。

【0013】上記のキャパシタの組み合わせは、直列に配列された少なくとも2つのキャパシタであってもよいし、あるいは並列に配列された少なくとも2つのキャパシタであってもよい。一方のキャパシタの誘電体は例えば酸化シリコンであり、もう一方のキャパシタの誘電体は窒化シリコンである。

【0014】本発明はまた、シリコン基板上で集積されたキャパシタの製造方法に関するものであり、第一の金属電極層を堆積させる工程と、誘電体を堆積させる工程と、第二の金属電極層を堆積させる工程と、少なくとも第一の誘電体層を堆積させる工程と第二の誘電体層を堆積させる工程とを含む誘電体を堆積させる工程を有し、第一の誘電体及び第二の誘電体は、電界に応じて反対の方向に変化する誘電率を有し、各誘電体層の厚さの比が、キャパシタが $20 \times 10^{-6} \text{V}$ を超えない十分な電圧直線性を示すように選択されるものである。好ましくは、各誘電体層の厚さの比は、さまざまな厚さの比を有する試験キャパシタの電圧直線性を観察しながら、予備実験によって決められる。

【0015】ある実施の形態によれば、誘電体は酸化シリコンと窒化シリコンである。ある実施の形態によれば、誘電体層は気相の下で堆積される。ある実施の形態によれば、第一電極及び第二の電極層は、アルミニウム、銅、タングステン、チタン、窒化チタン及びそれらの合金を含むグループの中で選ばれた材料から作られている。

【0016】本発明は、いくつかの誘電体は、印加電圧に応じて反対の方向に変化する誘電率を持つという観察に基づいてなされたものである。このような観察は、半導体産業において最もよく使われる2つの誘電体、すなわち酸化シリコン SiO_2 及び窒化シリコン SiN の比較に起因している。更に理解を深めるために、図1及び図2は、酸化シリコンキャパシタC1と窒化シリコンキャパシタC2の電圧Vに対する変動値を表す2つのグラフA1、A2を概略的に示している。放物線の形をしたグラフA1、A2は互いに逆向きで、グラフA2の分枝が上を向いている時、グラフA1の2つの分枝は下を向いているということが明確に現れている。

【0017】この現象を説明するために、誘電体の二次項Bは（前文の、(2)と(3)の関係式を参照）、誘電体の極微の量によって決まる2つの項 B_{ani} と B_{pol} の結果として定義される。

$$(4) B = (B_{\text{ani}} - B_{\text{pol}})$$

B_{ani} は誘電体の分子異方性の貢献を示し、 B_{pol} は誘電体の永久分極の貢献を示している。これは、電界の作用

のもとで、誘電体は分極され、イオン分極、電子分極、及び両極性分極のような多くの効果が一緒に加わるという事実によるものである。これらの効果は、特に熱アニーリングを受けていない低温誘電体に関して認められる。

【0018】このように、項 B_{pol} より大きい項 B_{ani} を持つ誘電体もあれば、 B_{ani} より大きい項 B_{pol} をもつ誘電体もある。特に、図1、2のグラフA1、A2は、窒化シリコンが正の二次項Bを示す場合、酸化シリコンが負の二次項Bを示すことを表している。

【0019】この観察を用いて、本発明の概念は、できる限り小さい二次項を有する誘電体を得るために、反対の符号を有する二次項Bを有する2つの誘電体を組み合わせることにある。より詳細には、本発明は、反対の特性を持った少なくとも2つの誘電体層を有する誘電体を提供し、その結果、誘電体層の誘電率の変動がもう一方の誘電体層の誘電率の変動を補うようにしたものである。

【0020】

【発明の実施の形態】 限定されない例として、酸化シリコン SiO_2 層及び窒化シリコン SiN 層を有する低温ハイブリッド誘電体を備えた集積キャパシタの設計に対する本発明の応用が記述される。

【0021】図3Aは、金属電極を備えたキャパシタ20が必ず設計される集積回路の領域における、製造中の集積回路の部分断面図である。この製造段階においては、キャパシタ20は、シリコン基板10上に電気的な絶縁層11を介して堆積された第一電極1の金属層を有するにすぎない。前文において述べられたように、第一電極1のこの層は、例えば“金属4”、“金属5”、“金属6”などの集積回路の最後の金属層のうちの一つであり、集積回路の構造や集積回路が有する伝導層の数によって決まる。このように、第一電極1の層と基板10自身との間には、他の集積回路の層、特に概略的に斜線部12によって示される絶縁層によって分離される金属層が存在するであろう。

【0022】第一電極1の金属層は、例えばアルミニウム(A1)から作られており、従来的に金属蒸気によって真空中で堆積される。図3Bにおいて示される工程は、本発明の方法の一つの特徴であり、第一電極1の層上の、厚さd1の酸化シリコン層2-1と、厚さd2の窒化シリコン層2-2との、あるいはその反対、の連続的な堆積からなり、その全体で厚さd1+d2の等価な誘電体層2を形成するものである。

【0023】各誘電体層の堆積は、標準的な工業用リアクター、例えばApplied Material社によって文献“DXZ”と一緒に販売されたリアクターにおける、従来のPECVD技術(“Plasma Enhanced Chemical Vapor Deposition”)によって行われる。

【0024】各層2-1、2-2の堆積は、従来的に酸

化シリコン SiO_2 を堆積するために用いられるガスと、従来的に窒化シリコン SiN を堆積するために用いられるガスを結合させた、プラズマの存在する中で、およそ400℃の温度の真空中で行われる。これらのガスは、例えば、一酸化シリコン SiO_2 を堆積するための、シラン SiH_4 とガス N_2O （TEOSすなわちTetra-Ethyl-Ortho-Silicateのような複合分子もまた用いられてもよい。）

一窒化シリコン SiN を堆積するための、シラン SiH_4 、アンモニア NH_3 、及び窒素 N_2 である。好ましくは、各層2-1、2-2の堆積条件（圧力、温度、ガスの割合、プラズマの強度や性質、など）がすべてについて一度だけ固定され、各層2-1、2-2の厚さ d_1 、 d_2 は、それぞれの堆積工程の期間のみによるものである。

【0025】本発明によるキャパシタの大量生産を始める前に、目的とする結果を得るための重要なパラメータである、層2-1、2-2の厚さの比 d_1/d_2 は、一連の試験を行うことによって実験的に決められる。この連続的な試験は、さまざまな試験キャパシタの電圧直線性を分析することによって、最も安定した比 $d_1(\text{SiO}_2)/d_2(\text{SiN})$ あるいは $d_1(\text{SiN})/d_2(\text{SiO}_2)$ を調べることが目的としている。正しい組み合わせが見出されると、パラメータ d_1/d_2 は記録され、工業的プロセスにおいて用いられる。

【0026】例えば、アルミニウム電極を備えたキャパシタに関して出願人によって行われた試験は、結果として以下のような誘電体の設計を得た。

$$d_1(\text{SiO}_2)/d_2(\text{SiN}) = 30\text{nm}/30\text{nm} = 1$$

このように作られたキャパシタは、およそ $20 \times 10^{-6}/\text{V}$ の十分な値に戻された電圧直線性を示し、それは酸化シリコン SiO_2 、窒化シリコン SiN 、または酸窒化シリコン SiON を備えた従来のキャパシタに見られる非直線性に比し、1/10に減少している。

【0027】図3Cにおいて示されているように、構造がおそらく第一電極1の層の構造と同じである、第二電極3の金属層が、誘電体層2の上に堆積される。第一電極1の層は従来的におよそ500ナノメートルの厚さを有し、誘電体層2はおよそ数10ナノメートルの $d_1 + d_2$ の厚さを有し、第二電極3の層はおよそ150ナノメートルの厚さを有する。

【0028】図3Dにおいて示されているように、所望の大きさの電極21、23を有するキャパシタ構造20を提供するために、第二電極3の層を始めとして、第一電極及び第二電極の層1、3がエッチングされる。実際に、電極21、23の領域は、所望の容量の値に従って大きな割合において変化し、また、1平方マイクロメートルから1平方ミリメートルの範囲内で変動するであろう。

【0029】一般的に、本発明によるキャパシタは、図1及び図2において表された放物線グラフA1、A2の組み合わせの結果として起こる、電圧Vの影響をほとんど受けないグラフ $C=F(V)$ を示す。このグラフは例えば図4において表されたA4、A5、A6のうちの一つであり、完璧な誘電体を有するキャパシタの理想的なフラットグラフA3に近い状態にある。

【0030】もちろん、上記の厚さ d_1 及び d_2 は、例としてのみ与えられており、製造工程のさまざまなパラメータ、所望の表面の容量値や第一電極及び第二電極の層を作るために使われた材料に従って、修正されうるものである。一方、アルミニウム（Al）に加えて、第一電極及び第二電極の層は、さまざまな周知の金属あるいは合金、例えばアルミニウム銅（Al-Cu）、銅（Cu）、タングステン（W）、チタン（Ti）、窒化チタン（TiN）、及びそれらの合金から構成されてもよい。

【0031】更に、本発明は、熱処理を受けていない低誘電体を有する金属電極を備えたアナログキャパシタの電圧非直線性の問題を解決するために行われてきたが、前述の中において、いかなるタイプのキャパシタにも適用できる一般的な教示が見いだせる。

【0032】本発明は、MOSTランジスタ、DRAMメモリセルのキャパシタやEEPROMメモリセルのキャパシタにも適用可能である。更に、出願人は、彼の実験の現状では、完全に満足することのできる誘電体 SiO_2/SiN あるいは SiN/SiO_2 を設計したにすぎないが、本発明の実験分野を、任意の他の公知の誘電体、特に五酸化タンタル Ta_2O_5 、酸窒化シリコン SiON に、かつ、2つの、あるいは更に3つあるいは4つの誘電体のいかなる種類の組み合わせにまでも広げること、本発明の目的や趣旨の範囲内のことであり、また、当業者の技術の範囲内のものである。

【0033】2つの誘電体層2-1、2-2を中間伝導層によって分離することもまた、本発明の目的と趣旨の範囲内のものである。この実施の形態は、電極1、3が従来的にキャパシタの負極と正極として用いられた場合、互いに補償する誘電体を有する直列に配列された2つのキャパシタと同等のものである。一方、中間電極が負極あるいは正極として用いられ、電極1、3が連結された場合、この実施の形態は、並列に配列された2つのキャパシタと同等のものである。

【0034】（複合キャパシタの設計への発明の拡張）本発明の目的や趣旨についてさらに理解を深めるために、電圧に応じて反対の方向に変化する誘電体から成る、2つのキャパシタC1、C2を有する複合キャパシタの一般的な事例が以下に分析される。このようなキャパシタは、中間電極と共に、あるいは中間電極なく、2つの誘電体層の重ね合わせから生じるものであっても、または、直列に配列された反対の誘電体を有する、2つ

の別個のキャパシタからなるものであってもよい。また、電圧に応じて反対方向に変化する誘電体からなる、並列に配列された2つのキャパシタ C_1 、 C_2 からなる複合キャパシタの事例が調査される。

【0035】(直列に配列されたキャパシタ)この場合、結果として生じる容量は、

$$(5) C_R = C_1 \times C_2 / (C_1 + C_2)$$

となる。電圧を印加した後、容量 C_R は、

$$(6) C_R + \Delta C_R = (C_1 + \Delta C_1) (C_2 + \Delta C_2) / [(C_1 + \Delta C_1) + (C_2 + \Delta C_2)]$$

となる。すなわち、

$$(7) C_R + \Delta C_R = (C_1 C_2 + C_1 \Delta C_2 + C_2 \Delta C_1 + \Delta C_1 \Delta C_2) / [(C_1 + C_2) + (\Delta C_1 + \Delta C_2)]$$

となる。

【0036】もし、望み通りに、変動値 ΔC_R がゼロに等しければ、関係式(7)は関係式(5)に等しいに違いない、

$$(8) \Delta C_2 C_1^2 + \Delta C_1 C_2^2 + (\Delta C_1 \Delta C_2) C_1 + (\Delta C_1 \Delta C_2) C_2 = 0$$

となる。変動値 ΔC_1 及び ΔC_2 は、 C_1 及び C_2 に比べると非常に小さく、第二次項 $\Delta C_1 \Delta C_2$ は無視することができる、関係式(8)は、

$$(9) \Delta C_2 C_1^2 + \Delta C_1 C_2^2 = 0$$

となる。

【0037】関係式(9)は、もし変動値 ΔC_1 及び ΔC_2 が反対の符号を持つときだけ、結果として生じる容量の変動値 ΔC_R がゼロに等しく、その結果、本発明によれば、反対の特性を持つ誘電体の使用は、避けられない、ということを確認する。更に、前文において与えられた関係式(1)及び(3)を組み合わせると、

$$(10) C_1 = (\epsilon_0 + A_1 + B_1 V^2 / d_1^2) S_1 / d_1^2$$

となる。その結果、電圧 V による C_1 の変動値 ΔC_1 は、

$$(11) \Delta C_1 = S_1 B_1 V^2 / d_1^4$$

と書ける。すなわち、

$$(12) \Delta C_1 = K_1 V_1^2$$

となる。 K_1 は定数であり、 V_1 はキャパシタ C_1 に印加された電圧である。

【0038】同じように、電圧 V に応じた C_2 の変動値 ΔC_2 は、

$$(13) \Delta C_2 = K_2 V_2^2$$

と書ける。キャパシタ C_1 、 C_2 のそれぞれの誘電体は反対の符号をした二次の項 B_1 、 B_2 を有するので、 K_2 は K_1 の符号と反対の符号をした定数となる。関係式(9)、(12)及び(13)を結合すると、

$$(14) K_2 V_2^2 C_1^2 + K_1 V_1^2 C_2^2 = 0$$

となる。すなわち

$$(15) C_1^2 / C_2^2 = - (K_1 / K_2) (V_1 / V_2)$$

となる。2つのキャパシタは直列に配列されており、電

圧 V_1 、 V_2 の比は、

$$(16) V_1 / V_2 = C_2 / C_1$$

に等しい。よって、関係式(15)は、

$$(16) C_1^3 / C_2^3 = - K_1 / K_2$$

と書ける。

【0039】関係式(16)は、望ましい値 C_R に対して、結果として生じる容量 C_R の変動値 ΔC_R がゼロに等しくなる少なくとも一対の値 C_1 、 C_2 が存在するというを確認している。実際に、この一対の値は、印加電圧でほとんど変化をしない容量を与える厚さ d_1 / d_2 の組み合わせが検索されると、前記の方法において含蓄的に決定することができる。2つの別個のキャパシタが直列に配列された場合、この一対の値の検索は、2つのキャパシタの電極の各面積の組み合わせ S_1 / S_2 によって決められてもよい。

【0040】(並列に配列されたキャパシタ)我々はこの、発明による結果は、電圧に応じて反対の方向に変化をする誘電体を有する2つのキャパシタ C_1 、 C_2 を並列に配列することによってもまた得られることを確信しなければならない。この場合、結果として生じる容量は、

$$(16) C_R = C_1 + C_2$$

となる。電圧を印加した後、容量 C_R は、

$$(17) C_R + \Delta C_R = (C_1 + \Delta C_1) + (C_2 + \Delta C_2)$$

となる。すなわち、

$$(18) C_R + \Delta C_R = C_1 + C_2 + \Delta C_1 + \Delta C_2$$

となる。もし、望みどおりに、変動値 ΔC_R がゼロに等しければ、

$$(19) \Delta C_1 = - \Delta C_2$$

となる。

【0041】関係式(19)を関係式(12)及び(13)と結合すると、

$$(20) K_1 = K_2$$

となり、また、

$$(21) K_1 = S_1 B_1 / d_1^4$$

$$(22) K_2 = S_2 B_2 / d_2^4$$

となる。すなわち、

$$(23) S_1 B_1 / d_1^4 = S_2 B_2 / d_2^4$$

となり、すなわち、

$$(24) d_1 / d_2 = \text{関数}(S_1, S_2, B_1, B_2) = \text{定数}$$

となる。

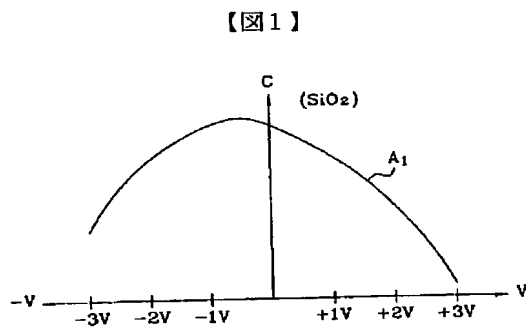
【0042】関係式(23)または(24)は、望ましい値 C_R に対して、結果として生じる容量 C_R の変動値 ΔC_R がゼロに等しくなる少なくとも一対の値 C_1 、 C_2 が存在するというを確認している。実験は、所望の値 C_R からのキャパシタ C_1 及び C_2 の設計を容易にするために、与えられた面積 S_1 、 S_2 に対して、比 d_1 / d_2 の決定を可能にするであろう。

【0043】

【発明の効果】最後に、本発明は、少なくとも2つの重なった誘電体を有するキャパシタの設計だけでなく、直列または並列に配列された少なくとも2つのキャパシタを有する複合キャパシタの設計にも適用されるということが明らかである。ただし、上記の2つの誘電体を有するキャパシタは、出願人によって得られた結果によって確認されたように、同じ面積の電極を有する直列に配列された2つのキャパシタを有する複合キャパシタの特定の実施の形態にすぎないということが注意されるべきである。

【図面の簡単な説明】

【図1】図1は、従来の酸化シリコンキャパシタの電圧非直線性グラフを示す。



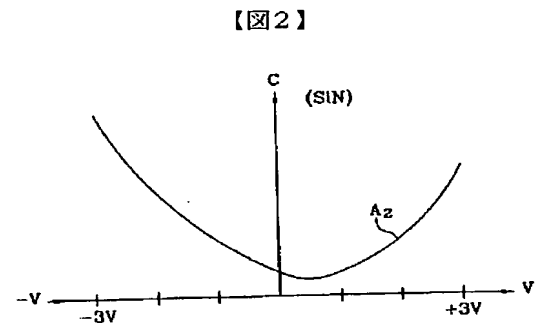
【図2】図2は、従来の窒化シリコンキャパシタの電圧非直線性グラフを示す。

【図3】図3Aないし図3Dは、断面図によって、本発明によるキャパシタの製造工程を概略的に示している。

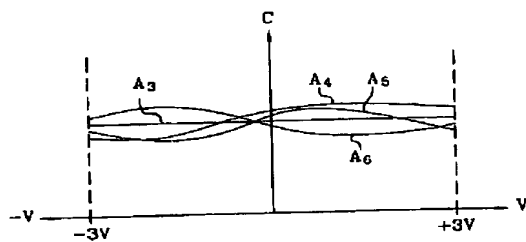
【図4】図4は本発明によるキャパシタの電圧非直線性グラフを示す。

【符号の説明】

- 1 第一電極層
- 2 誘電体
- 3 第二電極層
- 10 シリコン基板
- 11 絶縁層
- 12 金属層
- 20 キャパシタ



【図4】



【図3】

